

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-326330

(43)Date of publication of application : 25.11.1994

(51)Int.Cl.

H01L 29/804
H01L 29/205
H01L 29/44
H01L 21/331
H01L 29/73
H01L 21/338
H01L 29/812
H01L 27/095

(21)Application number : 05-111463

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 13.05.1993

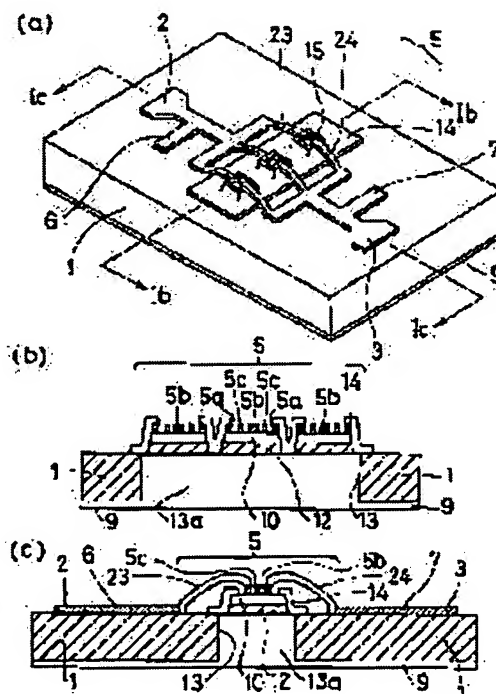
(72)Inventor : KOMARU MAKIO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To manufacture a high-output semiconductor device having excellent heat radiating characteristics at a high yield.

CONSTITUTION: The semiconductor device has such a structure that a transistor cell 15-is mounted on a via hole 13 filled with a metal 13a or another low- thermal-resistance substance independently from a semiconductor substrate 1 used at the time of manufacturing the semiconductor device in an island-like state. Therefore, such a structure and process which do not allow the cracking of substrates can be realized even when the substrate thickness in the transistor cell section is reduced to $\leq 30\mu\text{m}$ with the purpose of improving the heat radiating characteristics of the semiconductor device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the semiconductor integrated circuit equipment which has the transistor which operates with a high frequency band It has a semi-conductor substrate, the Bahia hall prepared by penetrating this substrate, and the unit or two or more transistor cels which were prepared on this Bahia hall. This unit or two or more transistor cels are a semiconductor device characterized by being independently formed from the surrounding semi-conductor substrate on the ingredient of the low thermal resistance nature filled up with the inside of this Bahia hall by the side of this substrate principal plane.

[Claim 2] It is the semiconductor device characterized by being the **** transistor semiconductor device which, as for the above-mentioned transistor cel, the laminating of the semi-conductor layer is carried out to the order of a semi-insulating substrate and a layer of operation from a lower layer in a semiconductor device according to claim 1, and has a source electrode, a drain electrode, and a gate electrode on this layer of operation.

[Claim 3] It is the semiconductor device characterized by being the heterojunction bipolar transistor semiconductor device which, as for the above-mentioned transistor cel, the laminating of the semi-conductor layer is carried out to the order of a semi-insulating substrate, a collector layer, a base layer, and an emitter layer from a lower layer in a semiconductor device according to claim 1, and has each collector electrode, a base electrode, and an emitter electrode on this collector layer, a base layer, and an emitter layer.

[Claim 4] It is the semiconductor device characterized by being the heterojunction bipolar transistor semiconductor device which, as for the above-mentioned transistor cel, the laminating of the semi-conductor layer is carried out to the order of an emitter layer, a base layer, and a collector layer from a lower layer in a semiconductor device according to claim 1, and has a base electrode and a collector electrode on this base layer and a collector layer, respectively.

[Claim 5] Between the process which forms an unit or two or more transistor cels on a semi-conductor substrate, the process which etches the front face by the side of the principal plane of semi-conductor substrates other than this transistor cel to the predetermined depth, and the above-mentioned transistor cel and a semi-conductor substrate The process which forms the metal membrane for fixing this transistor cel to the above-mentioned semi-conductor substrate, By etching from a background and forming the Bahia hall until the above-mentioned metal membrane which fixes a transistor cel exposes only the part under the field where this transistor cel of the above-mentioned semi-conductor substrate exists The manufacture approach of the semiconductor device characterized by including the process which separates this unit or two or more transistor cels, and the semi-conductor substrate under it from a surrounding semi-conductor substrate, and the process filled up with the low thermal resistance nature matter in the above-mentioned Bahia hall.

[Claim 6] The process which forms an etching stopper layer in the above-mentioned semi-conductor substrate in the manufacture approach of a semiconductor device according to claim 5 before the process which forms a transistor cel on the above-mentioned semi-conductor substrate is included further. The process which etches the front face by the side of the principal plane of semi-conductor substrates other

than the above-mentioned transistor cell to the predetermined depth. The manufacture approach of the semiconductor device characterized by being what performed by etching the front face by the side of the principal plane of semi-conductor substrates other than the above-mentioned transistor cell to the front face of the above-mentioned etching stopper layer.

[Claim 7] The process which forms a transistor cell on a semi-conductor substrate, and the process which etches the front face by the side of the principal plane of semi-conductor substrates other than this transistor cell to the predetermined depth, The process which forms the mask which covers the above-mentioned transistor cell and carries out temporary immobilization of this transistor cell all over the principal plane side of the above-mentioned semi-conductor substrate, Only the part of the bottom in which the above-mentioned transistor cell of this semi-conductor substrate exists. The process which forms the Bahia hall and separates this transistor cell from a surrounding semi-conductor substrate by etching from a background until the mask which carries out temporary immobilization of this transistor cell is exposed, The manufacture approach of the semiconductor device characterized by including the process filled up with the low thermal resistance nature matter in this Bahia hall.

[Claim 8] The manufacture approach of the semiconductor device characterized by carrying out the laminating of the semi-conductor layer to the order of a collector layer, a base layer, and an emitter layer from a lower layer, and forming each collector electrode, a π -SU electrode, and an emitter electrode on this collector layer, a base layer, and an emitter layer, respectively, and forming a heterojunction bipolar transistor semiconductor device on a semi-conductor substrate in the manufacture approach of a semiconductor device according to claim 7.

[Claim 9] The manufacture approach of the semiconductor device characterized by carrying out the laminating of the semi-conductor layer to the order of an emitter layer, a base layer, and a collector layer from a lower layer, and forming each collector electrode and a π -SU electrode on this base layer and a collector layer, respectively, and forming a heterojunction bipolar transistor semiconductor device on a semi-conductor substrate in the manufacture approach of a semiconductor device according to claim 7.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the improvement in the property of a semiconductor device which operates with the RF band of hundreds of hundreds of MHz - GHz band about a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art] Drawing 7 is drawing showing the conventional MMIC (Monolithic Microwave Integrated Circuit, monolithic microwave integrated circuit semiconductor device), and is drawing 7 (a). The perspective view and drawing 7 (b) Drawing 7 (a) It is a sectional view in a VII b-VII b cross section. Drawing 8 is the top view of drawing 7. For the GaAs semi-conductor substrate of half-insulation [1], the metal pattern with which a signal input pad and 3 were prepared in the signal output pad, and 4 was prepared for 2 on the Bahia hall, and 5, in drawing, the transistor section and 5a are [a drain electrode and 5c of a source electrode and 5b] gate electrodes. In addition, as shown in drawing 8, this drain electrode 5b and gate electrode 5c are formed here so that it may gear to pectinate. Moreover, air bridge wiring which wires source electrode 5a of each transistor and the metal pattern 4 5d, the input matching circuit which adjusts the input signal into which 6 was inputted from the signal input pad 2, and 7 are output matching circuits which adjust the output signal outputted from the signal output pad 3. The Bahia hall in which further 8 penetrated the semi-conductor substrate 1, and was prepared and which was filled up with the metal by the interior, the rear-face metal with which 9 consists of Au, and 10 are layers of operation which consist of an n mold GaAs layer. This n mold GaAs actuation layer is formed of epitaxial growth or an ion implantation.

[0003] Source electrode 5a is wired [the signal input pad 2] to the signal output pad 3 by the rear-face metal 9 at drain electrode 5b at gate electrode 5c through the metal of 5d of air bridge wiring, the metal pattern 4, and the Bahia hall 8 interior through the output matching circuit 7 through the input matching circuit 6.

[0004] Next, actuation is explained. In the MMIC semiconductor device of the conventional example, the heat generated in the transistor section 5 radiates heat from a chip rear face through the semi-conductor substrate 1 while radiating heat through the Bahia hall 8 where the interior was filled up with the metal.

[0005] Moreover, a hole is prepared in the rear face of the component formation section of a substrate, and FET for microwave with which the metal was filled up into this hole is indicated by the JP,59-172720, A official report, for example. Drawing 9 is drawing showing the metal restoration approach to the breakthrough of the substrate by this conventional technique, and drawing 10 is the top view of FET for microwave formed using this metal restoration approach. drawing -- setting -- 1 -- a substrate and 41 -- a lower layer resist layer and 42 -- a metal layer and 42a -- the remaining part of the metal layer 42, and 43 -- a hole and 44 -- for FET and 47, a breakthrough and 55a are [the upper resist layer and 45 / a plated-metal layer and 46 / a drain electrode and 55c of a source electrode and 55b] gate electrodes.

[0006] In this conventional example, a hole 43 is formed between FET formed in semi-conductor

substrate 1 front face. In this hole 43, it is drawing 9 (a). The metal layer 42 is formed so that it may be shown, and it is drawing 9 (b). Except for the formation section of a hole 43, and its rising wood, the upper resist layer 44 is formed so that it may be shown, and it is drawing 9 (c). So that it may be shown After forming the plated-metal layer 45 on the outcrop of the metal layer 42 by electroplating which uses the metal layer 42 as an electrode at the thickness which is extent with which a hole 43 is buried The lower layer resist layer 41, the metal layer 42 on it, and the upper resist layer 44 are removed by the lift-off method, and the part of a hole 43 is made to unite the remaining partial 42a of the metal layer 42 with the plated-metal layer 45, and it leaves, and is drawing 9 (d). So that it may be shown The breakthrough 47 which performs etching from the rear face of the semi-conductor substrate 1, and is connected with a hole 43 is formed.

[0007] Next, actuation is explained. In FET for microwave formed using the metal restoration approach of this conventional example, the heat generated in FET46 radiates heat from a chip rear face through the metal with which the breakthrough 47 was filled up.

[0008] In addition, although FET is carried as the active element in the above-mentioned conventional example, as a transistor in which MMIC is carried, there are HBT (HeterojunctionBipolar Transistor, heterojunction bipolar transistor), HEMT (HighElectron Mobility Transistor, high electron mobility transistor), etc. other than FET.

[0009]

[Problem(s) to be Solved by the Invention] The conventional MMIC semiconductor device was constituted as mentioned above, since it was required to make thin semi-conductor substrate thickness of the transistor section to about 2 micrometers, and to improve heat dissipation nature of a component, when stress, such as thermal stress at the time of soldering MMIC equipment at the time of manufacture, was applied to the semi-conductor substrate, the check and the crack arose in the semi-conductor substrate, and there was a trouble that a component broke.

[0010] Moreover, in FET for microwave shown in the JP,59-172720,A official report, since the heat generated in the FET section through the Bahia hall established in the component rear face is considered as the configuration which radiates heat, in order to raise heat dissipation nature, it is not necessary to make semi-conductor substrate thickness thin. However, in this conventional example, since the substrate with which the component is formed, and the substrate of that perimeter were partly connected as shown in drawing 10 , when soldering this FET for microwave, and thermal stress joined the FET section, there was a trouble of having an adverse effect on a component.

[0011] This invention was made in order to cancel the above troubles, it aims at obtaining the semiconductor device which has the good heat dissipation nature in which a component does not receive an adverse effect with the thermal stress produced in case equipment is soldered, and aims at offering the manufacture approach which was further suitable for this equipment.

[0012]

[Means for Solving the Problem] The semiconductor device concerning this invention is equipped with a semi-conductor substrate, the Bahia hall prepared by penetrating a substrate, and the unit or two or more transistor cels which were prepared on the Bahia hall, and this unit or two or more transistor cels are independently formed from the surrounding semi-conductor substrate on the ingredient of the low thermal resistance nature filled up with the inside of the above-mentioned Bahia hall by the side of the above-mentioned substrate principal plane.

[0013] Moreover, the manufacture approach of the semiconductor device concerning this invention After forming an unit or two or more transistor cels on a semi-conductor substrate and etching the front face by the side of the principal plane of substrates other than a transistor cel to the predetermined depth, The metal membrane for fixing a transistor cel to the above-mentioned semi-conductor substrate is formed between the above-mentioned transistor cel and a semi-conductor substrate. After this, By etching from a background until the above-mentioned metal membrane which fixes a transistor cel exposes only the part under the field where the transistor cel of a substrate exists After forming the Bahia hall and separating the above-mentioned unit or two or more transistor cels, and the semi-conductor substrate under it from a surrounding substrate, it is filled up with the low thermal resistance

nature matter in the above-mentioned Bahia hall.

[0014] Moreover, the manufacture approach of the semiconductor device concerning this invention After forming a transistor cel on a semi-conductor substrate and etching the front face by the side of the principal plane of semi-conductor substrates other than a transistor cel to the predetermined depth, The mask which covers a transistor cel all over the principal plane side of the above-mentioned semi-conductor substrate, and carries out temporary immobilization of this is formed. Then, after forming the Bahia hall and separating this transistor cel from a surrounding semi-conductor substrate by etching from a background only the part of the bottom in which the above-mentioned transistor cel of this semi-conductor substrate exists until the mask which carries out temporary immobilization of the transistor cel is exposed, It is filled up with the low thermal resistance nature matter in this Bahia hall.

[0015]

[Function] In the semiconductor device of this invention a transistor cel Since it is independently formed in the substrate principal plane side of the Bahia hall which penetrated the substrate, and was prepared and filled up the interior with the low thermal resistance nature matter from the surrounding semi-conductor substrate Also when substrate thickness of the unit transistor cel section is set to 30 micrometers or less in order to improve heat dissipation nature, a substrate crack etc. is not produced with the thermal stress generated at the time of the soldering activity of a semiconductor device etc.

[0016] Moreover, in the manufacture approach of this invention, a metal membrane is formed between a transistor cel and a matching circuit substrate. By etching from a background until this metal membrane exposes only the part of the transistor cel bottom of this substrate, after fixing a transistor cel to a semi-conductor substrate Since the Bahia hall is formed, a transistor cel is separated from a surrounding semi-conductor substrate and it was filled up with the low thermal resistance nature matter in the Bahia hall after this, a transistor cel It is independently formed from a surrounding semi-conductor substrate on the Bahia hall filled up with the metal. By this The semiconductor device with which an adverse effect does not attain to a transistor even if stress, such as thermal stress at the time of excelling in heat dissipation nature and soldering at the time of manufacture, is applied to a semi-conductor substrate can be produced easily, without a transistor cel coming apart.

[0017] Moreover, the mask which covers a transistor cel in the manufacture approach of this invention all over the principal plane side of the semi-conductor substrate in which the transistor cel was formed, and carries out temporary immobilization of this is formed. By etching from a background until the above-mentioned mask which carries out temporary immobilization exposes only the part of the bottom in which the above-mentioned transistor cel of a substrate exists Form the Bahia hall and a transistor cel is separated from a surrounding semi-conductor substrate. Since the above-mentioned temporary fixed mask of illuminator was removed after being filled up with the low thermal resistance nature matter in the Bahia hall, then, a transistor cel It is independently formed from a surrounding semi-conductor substrate on the Bahia hall filled up with the metal. By this The semiconductor device with which an adverse effect does not attain to a transistor even if stress, such as thermal stress at the time of excelling in heat dissipation nature and soldering at the time of manufacture, is applied to a semi-conductor substrate can be produced easily, without a transistor cel coming apart.

[0018]

[Example] One example of this invention is explained about drawing below.

Example 1. drawing 1 is drawing showing the semiconductor device by the 1st example of this invention in case an active element is FET, and is drawing 1 (a). The perspective view and drawing 1 (b) Drawing 1 (a) The sectional view in an Ib-Ib cross section, and drawing 1 (c) Drawing 1 (a) The sectional view in an Ic-Ic cross section and drawing 2 are the sectional views showing the manufacture approach. In drawing that the same sign as drawing 7 is the same, or when a considerable part is shown and 12 forms the Bahia hall 13 by etching The semi-insulating substrate which consists of GaAs from which it was separated from the semi-conductor substrate 1, and thickness was set to 30 micrometers or less, The Bahia hall where it fills up with the low thermal resistance nature matter with which, as for 13, the interior of a hole consists of a metal which mainly consists of Au, or grease, The metal pattern which consists of Au by which the low thermal resistance nature matter with which the Bahia hall 13 was filled

up with 13a, and 14 fix to a semi-conductor substrate the transistor cel formed in the perimeter of the transistor cel independently formed from the semi-conductor substrate 1 from the wafer front face, and 15 A unit transistor cel, 23 and 24 are gate wiring and air bridge wiring used as drain wiring, respectively.

[0019] On metal 13a with which the semiconductor device in this example 1 was filled up into the interior of the Bahia hall 13 and which becomes Au, as an active element, carry out the laminating of a semi-insulating substrate 12 and the layer 10 of operation to order from a lower layer, it comes to form FET, and this FET is independently from the surrounding semi-conductor substrate 1. Moreover, on the layer 10 of operation, source electrode 5a, and drain electrode 5b and gate electrode 5c are formed at the configuration which gears to pectinate like the conventional example. Moreover, the metal membrane 14 is formed in the perimeter of FET as source wiring.

[0020] Next, the manufacture approach of the semiconductor device of this example 1 is explained about the case where especially an active element is GaAsFET, using drawing 2. First, it is drawing 2 (a) on GaAs semi-conductor substrate 1a of half-insulation. Sequential epitaxial growth is carried out and half-insulation AlGaAs etching stopper layer 1b, half-insulation GaAs layer 1c, and the n mold GaAs actuation layer 10 are formed so that it may be shown. It is drawing 2 (b) on the layer 10 of operation to the degree. Source electrode 5a, drain electrode 5b, and gate electrode 5c are formed so that it may be shown, and the transistor section 5 is formed.

[0021] Next, drawing 2 (c) Although GaAs etches the front face by the side of the principal plane of semi-conductor substrates 1 other than transistor cel 15 so that it may be shown, AlGaAs is etched by Mr. Fukashi of the front face of etching stopper layer 1b in the wet etching using the etchant which is not etched.

[0022] Subsequently, drawing 2 (d) The metal membranes 14, such as Au, are formed between the transistor cel 15 and the transistor cel 15 and between the transistor cel 15 and the semi-conductor substrate 1 so that it may be shown. A metal membrane 14 fixes the transistor cel 15 to the surrounding semi-conductor substrate 1 behind. In addition, after a metal membrane 14 forms a pattern in the necessary part of the front face of the semi-conductor substrate 1 and forms a thin metal membrane using a spatter, vacuum deposition, or electroless deposition, it is taken as the thick metal membrane 14 using electrolytic plating. Moreover, this metal membrane 14 serves as source wiring which wires source electrode 5a, other source electrode 5a and source electrode 5a, and the rear-face metal 9.

[0023] And drawing 2 (e) The semi-conductor substrate 1 of half-insulation is ground from a rear face until it becomes the thickness of 10-150 micrometers, and it is made thin so that it may be shown.

[0024] Next, although GaAs etches only the part of the bottom in which the transistor cel 15 exists from the background of the semi-conductor substrate 1, AlGaAs is etched to the rear face of etching stopper layer 1b in the wet etching using the etchant which is not etched. Although AlGaAs furthermore etches, GaAs is etched until the metal membrane 14 which fixes the transistor cel 15 exposes etching stopper layer 1b in the wet etching using the etchant which is not etched, and the transistor cel 15 is separated from the surrounding semi-conductor substrate 1, and it is drawing 2 (f). The Bahia hall 13 is formed so that it may be shown.

[0025] Subsequently, drawing 2 (g) The metal membrane 9 which consists of Au all over the whole inside surface of the Bahia hall 13 and the rear face of the semi-conductor substrate 1 is formed with a spatter or vacuum deposition so that it may be shown.

[0026] Subsequently, drawing 2 (h) The Bahia hall 13 interior is filled up with metal 13a which consists of Au like. In addition, this metal 13a may be other low thermal resistance nature matter.

[0027] And the signal input pad 2, the signal output pad 3, the input matching circuit 6, and the output matching circuit 7 are formed with a metal pattern, the air bridge wiring 23 and 24 is formed, base wiring and collector wiring are performed, and it is drawing 1 (a). The shown semiconductor device of this example 1 is completed.

[0028] In addition, above-mentioned drawing 2 (c) In a process, although he is trying to leave etching stopper layer 1b also in fields other than the field of transistor cel 15 directly under Although AlGaAs etches in this phase By the wet etching using the etchant which is not etched, GaAs Etching stopper

layer 1b is removed and it is drawing 2 (f). Etching is stopped with the rear face of etching stopper layer 1b, and you may make it leave etching stopper layer 1b only to the rear face of the transistor cel 15 in a phase.

[0029] In addition, it sets to this example 1 and is above-mentioned drawing 2 (c). And drawing 2 (f) You may make it control those etching by time amount in a process, although the semi-conductor substrate in which etching stopper layer 1b was formed was used in order to control etching in a desired configuration and the desired depth, without using etching stopper layer 1b.

[0030] Next, actuation is explained. The heat generated directly under gate 5c of each transistor radiates heat from a substrate rear face through metal 13a with which the layer 10 of operation, the semi-insulating substrate 12, and the Bahia hall 13 were filled up and which becomes Au.

[0031] Thus, while excelling in the semiconductor device of this example 1 for every unit transistor cel at heat dissipation nature by forming thinly the substrate thickness of the semi-insulating substrate 12 of the transistor 15 bottom which is the exoergic section of a semiconductor device By forming the transistor cel 15 on the ductile good Au Bahia hall 13 filled up with becoming metal 13a inside, the stress which joins the semi-conductor substrate 1 of an FET cel is controlled, and it is effective in excelling in heat dissipation nature and being able to obtain a semiconductor device with a small touch-down inductance.

[0032] moreover, by such manufacture approach of the semiconductor device of this example 1 A metal membrane 14 is formed between the transistor cel 15 and the transistor cel 15 and between the transistor cel 15 and the semi-conductor substrate 1. By etching from a background until this metal membrane 14 exposes only the part of the transistor cel 15 bottom of this substrate 1, after fixing the transistor cel 15 to the semi-conductor substrate 1 Form the Bahia hall 13 and the transistor cel 15 is separated from the surrounding semi-conductor substrate 1. After forming a metal membrane 9 furthermore all over the whole inside surface of the Bahia hall 13, and the rear face of the above-mentioned substrate 1, by filling up the Bahia hall 13 interior with metal 13a the transistor cel 15 Since it is independently formed from the surrounding semi-conductor substrate 1 on the Bahia hall 13 filled up with ductile good metal 13a The semiconductor device excellent in heat dissipation nature with which an adverse effect does not attain to the transistor cel 15 even if stress, such as thermal stress at the time of soldering at the time of manufacture, is applied to the semi-conductor substrate 1 is easily realizable.

[0033] Example 2. drawing 3 is drawing showing the semiconductor device by the 2nd example of this invention in case an active element is HBT, and is drawing 3 (a). The perspective view and drawing 3 (b) Drawing 3 (a) The sectional view in an III b-IIIb cross section and drawing 4 are the sectional views showing the manufacture approach. In drawing, a considerable part is shown and 16 is that the same sign as drawing 1 and drawing 7 is the same, or an emitter electrode and the mask with which emitter wiring and 18 carry out an emitter layer in case in a base layer and 20 a collector electrode and 22 separate a base electrode and, as for 31, a collector layer and 21 separate a transistor cel from the surrounding semi-conductor substrate 1, and, as for 17, 19 carries out temporary immobilization of this transistor cel in drawing.

[0034] The MMIC semiconductor device in this example 2 on metal 13a with which the interior of the Bahia hall 13 was filled up and which becomes Au as an active element A laminating is carried out to the order of a semi-insulating substrate 12, a collector layer 20, the base layer 19, and the emitter layer 18 from a lower layer. And this HBT component is independently formed from the surrounding semi-conductor substrate 1 using HBT which comes to form each collector electrode 21, a base electrode 22, and the emitter electrode 16 on that collector layer 20, the base layer 19, and the emitter layer 18.

[0035] Next, the manufacture approach of the semiconductor device by the example 2 of this invention is explained about the case where especially an active element is HBT, using drawing 4 . The transistor cel 15 which a laminating is carried out to the order of a collector layer 20, the base layer 19, and the emitter layer 18 from the transistor cel 15 which consists of HBT on the semi-conductor substrate 1, i.e., a lower layer, and has the emitter electrode 16, a collector electrode 21, and a base electrode 22 on each collector layer 20, the base layer 19, and the emitter layer 18 is formed (drawing 4 (a)).

[0036] Next, the front face by the side of the principal plane of semi-conductor substrates 1 other than

the transistor cel 15 section is etched into a depth of 1-10 micrometers (drawing 4 (b)).

[0037] Subsequently, all over the principal plane of the semi-conductor substrate 1, the transistor cel 15 is covered and the mask 31 which carries out temporary immobilization of this is formed (drawing 4 (c)).

[0038] And this semi-conductor substrate 1 is ground from a rear face to the thickness of 10-150 micrometers (drawing 4 (d)).

[0039] Next, it etches from a background, the transistor cel 15 is separated from the surrounding semi-conductor substrate 1, and the Bahia hall 13 is formed until the mask 31 which carries out temporary immobilization of the transistor cel 15 exposes only the part of the bottom in which the transistor cel 15 of the semi-conductor substrate 1 exists (drawing 4 (e)).

[0040] Subsequently, a metal membrane 9 is formed all over the whole inside surface of the Bahia hall 13, and the rear face of the semi-conductor substrate 1 (drawing 4 (f)).

[0041] And the interior of the Bahia hall 13 is filled up with metal 13a. Here, metal 13a may be other low thermal resistance nature matter (drawing 4 (g)).

[0042] Next, after removing the above-mentioned mask 31, while forming the air bridge wiring 17, performing emitter wiring (drawing 4 (h)) and forming the signal input pad 2, the signal output pad 3, the input matching circuit 6, and the output matching circuit 7 with a metal pattern, the semiconductor device of this example 2 is completed by performing base wiring and collector wiring (drawing 3 (a)).

[0043] In addition, it sets to this example 2 as well as the above-mentioned example 1, and is drawing 4 (b). And drawing 4 (e) You may make it control an etching configuration in a process using an etching stopper layer.

[0044] Next, actuation is explained. The heat generated with each transistor radiates heat from a substrate rear face through metal 13a with which the semi-insulating substrate 12 and the Bahia hall 13 were filled up and which becomes Au.

[0045] thus , while excel in heat dissipation nature for every unit transistor cel by form thinly the substrate thickness of the semi-insulating substrate 12 of the transistor bottom which be the exoergic section of a semiconductor device , and form a transistor cel for the interior on the Au Bahia hall 13 the metal 13 a a become be filled up with a hall , the stress which join the semi-conductor substrate 1 of an HBT cel be control , and be effective in excel in heat dissipation nature and being able to obtain a semiconductor device with a small touch-down inductance in the semiconductor device of this example 2 .

[0046] In this way moreover, by the manufacture approach of the semiconductor device of this example 2 The mask 31 which covers the transistor cel 15 all over the principal plane side of the semi-conductor substrate 1 in which the transistor cel 15 was formed, and carries out temporary immobilization of this is formed. By etching from a background until the above-mentioned mask 31 which carries out temporary immobilization exposes only the part of the bottom in which the above-mentioned transistor cel 15 of a substrate 1 exists Form the Bahia hall 13 and the transistor cel 15 is separated from the surrounding semi-conductor substrate 1. By filling up the interior of the hole of the Bahia hall 13 with metal 13a, and removing the above-mentioned mask 32, after forming a metal membrane 9 furthermore all over the whole inside surface of the Bahia hall 13, and the rear face of the above-mentioned substrate 1 Since the transistor cel 15 is independently formed from a surrounding semi-conductor substrate on the Bahia hall 13 filled up with ductile good metal 13a The semiconductor device excellent in heat dissipation nature with which an adverse effect does not attain to the transistor cel 15 even if stress, such as thermal stress at the time of soldering at the time of manufacture, is applied to the semi-conductor substrate 1 is easily realizable.

[0047] Example 3. drawing 5 is drawing showing the semiconductor device by the 3rd example of this invention in case an active element is HBT, and is drawing 5 (a). The perspective view and drawing 5 (b) Drawing 5 (a) The sectional view in a Vb-Vb cross section and drawing 6 are the sectional views showing the manufacture approach. In drawing, a considerable part is shown, and in drawing, in case 25, air bridge wiring with which 26 becomes base wiring and collector wiring, respectively, and 32 separate the transistor cel 15 from the surrounding semi-conductor substrate 1, they are that the same sign as

drawing 1 and drawing 3 is the same, or a mask which carries out temporary immobilization of this transistor cel 15.

[0048] This HBT is independently formed from the surrounding semi-conductor substrate 1 using HBT which the laminating of the emitter layer 18, the base layer 19, and the collector layer 20 is carried out to order by the lower layer on metal 13a with which the semiconductor device in this example 3 was filled up into the interior of the Bahia hall 13 as an active element, and which becomes Au, and comes to form a base electrode 22 and a collector electrode 21 on the base layer 19 and a collector layer 20.

[0049] Next, the manufacture approach of the semiconductor device by the example 3 of this invention is explained about the case where especially an active element is HBT, using drawing 6. First, on the semi-conductor substrate 1, the transistor cel 15 which consists of an HBT semiconductor device is used as the emitter layer 18 and the base layer 19, the laminating of the collector layer 20 is used to order from a lower layer, and a collector electrode 21 and a base electrode 22 are further formed on a collector layer 20 and the base layer 19, respectively (drawing 6 (a)).

[0050] Next, all over the principal plane of the semi-conductor substrate 1, the above-mentioned transistor cel 15 is covered and the mask 32 which carries out temporary immobilization of the transistor cel 15 is formed (drawing 6 (b)).

[0051] Subsequently, the semi-conductor substrate 1 is ground from a rear face to the thickness of 10-150 micrometers (drawing 6 (c)).

[0052] And the Bahia hall 13 is formed so that it may etch from a background until the mask 32 which carries out temporary immobilization of the transistor cel 15, and the emitter layer 18 of the transistor cel 15 expose only the part of the bottom in which the transistor cel 15 of the semi-conductor substrate 1 exists, and the transistor cel 15 may be separated from the surrounding semi-conductor substrate 1 (drawing 6 (d)).

[0053] Subsequently, emitter wiring is performed, while forming a metal membrane 9 all over the whole inside surface of the Bahia hall 13, and the rear face of the semi-conductor substrate 1 and forming the emitter electrode used as an ohmic electrode (drawing 6 (e)).

[0054] Next, the interior of the hole of the Bahia hall 13 is filled up with metal 13a. (drawing 6 (f)) The above-mentioned mask 32 is removed (drawing 6 (g)).

[0055] And while forming the signal input pad 2, the signal output pad 3, the input matching circuit 6, and the output matching circuit 7 with a metal pattern, with the air bridge wiring 25 and 26, base wiring and collector wiring are performed, respectively, and the semiconductor device of this example 3 is completed (drawing 5 (a)).

[0056] In addition, it sets to this example 3 as well as the above-mentioned example 1, and is drawing 6 (d). You may make it control an etching configuration in a process using an etching stopper layer.

[0057] Next, actuation is explained. In this example 3, the heat which has separated the transistor cel 15 from the surrounding semi-conductor substrate 1, could carry the transistor cel 15 directly on the Bahia hall 13 filled up with metal 13a by this, and was generated with each transistor radiates heat from the rear face of a substrate 1 by etching the semi-conductor substrate 1 from a rear face through metal 13a with which the Bahia hall 13 was filled up and which becomes Au.

[0058] Thus, in the semiconductor device of this example 3, since the transistor cel 15 is independently formed from the surrounding semi-conductor substrate 1 and the emitter layer 18 of the direct transistor cel 15 is formed on the Bahia hall 13 moreover filled up with the interior by ductile good metal 13a, it excels in heat dissipation nature, and the stress which joins the semi-conductor substrate 1 of an HBT cel is controlled, and a semiconductor device with a small touch-down inductance is obtained.

[0059] In this way moreover, by the manufacture approach of the semiconductor device of this example 3 The mask 32 which covers the transistor cel 15 all over the principal plane side of the semi-conductor substrate 1 in which the transistor cel 15 was formed, and carries out temporary immobilization of this is formed. By etching from a background until the above-mentioned mask 32 which carries out temporary immobilization exposes only the part of the bottom in which the above-mentioned transistor cel 15 of a substrate 1 exists Form the Bahia hall 13 and the transistor cel 15 is separated from the surrounding semi-conductor substrate 1. By filling up the interior of the hole of the Bahia hall 13 with metal 13a, and

removing the above-mentioned mask 32, after forming a metal membrane 9 furthermore all over the whole inside surface of the Bahia hall 13, and the rear face of the above-mentioned substrate 1 Since the transistor cel 15 is independently formed from a surrounding semi-conductor substrate on the Bahia hall 13 filled up with metal 13a The semiconductor device excellent in heat dissipation nature with which an adverse effect does not attain to the transistor cel 15 even if stress, such as thermal stress at the time of soldering at the time of manufacture, is applied to the semi-conductor substrate 1 is easily realizable.

[0060] Moreover, in this way, by the manufacture approach of the semiconductor device of this example 3, by the above-mentioned example's 2 making reverse sequence which carries out a laminating to the emitter layer 18, the base layer 19, and a collector layer 20, contacting namely, ohmic joining the emitter layer 18 and the metal membrane 9 on the Bahia hall 13, and forming an emitter electrode and emitter wiring simultaneously, an emitter electrode and emitter wiring can be omitted and the production process of a semiconductor device can be simplified.

[0061] In the example 4. above-mentioned example 1, an example 2, and an example 3, although the semiconductor device in case active elements are FET and HBT was described, an active element may be HEMT, it can manufacture by the approach shown in the example 1 in this case, and the same manufacture approach, and the same effectiveness as the semiconductor device of an example 1 is acquired.

[0062]

[Effect of the Invention] Since it considered as the structure independently carried in the substrate principal plane side of the Bahia hall in which the substrate was penetrated and the transistor cel was prepared and, which was filled up with the low thermal resistance nature matter inside from the surrounding substrate according to the semiconductor device applied to this invention as mentioned above While being able to aim at improvement in heat dissipation nature, also when substrate thickness of the transistor cel section is set to 30 micrometers or less in order to improve a heat dissipation property, it is effective in the ability to acquire the structure which does not produce a substrate crack etc. with the thermal stress generated at the time of a soldering activity etc.

[0063] Moreover, after according to the manufacture approach of the semiconductor device concerning this invention forming a metal membrane between a transistor cel and a semi-conductor substrate and fixing a transistor cel to a semi-conductor substrate, By etching from a background until the metal membrane exposes only the part of the transistor cel bottom of this substrate, form the Bahia hall and a transistor cel is separated from a surrounding substrate. Then, since it was filled up with the low thermal resistance nature matter in the Bahia hall, there is effectiveness that an adverse effect does not attain to a transistor even if stress, such as thermal stress at the time of soldering at the time of manufacture, is applied to a semi-conductor substrate and that the semiconductor device excellent in heat dissipation nature can be manufactured easily.

[0064] Moreover, after forming the mask which covers a transistor cel all over the principal plane side of the semi-conductor substrate in which the transistor cel was formed, and carries out temporary immobilization of this according to the manufacture approach of the semiconductor device concerning this invention, By etching from a background until the above-mentioned mask which carries out temporary immobilization exposes only the part of the bottom in which the above-mentioned transistor cel of this semi-conductor substrate exists, form the Bahia hall and a transistor cel is separated from a surrounding semi-conductor substrate. Then, since the above-mentioned temporary fixed mask of illuminator was removed after being filled up with the low thermal resistance nature matter in the Bahia hall There is effectiveness that an adverse effect does not attain to a transistor cel even if stress, such as thermal stress at the time of soldering at the time of manufacture, is applied to a semi-conductor substrate and that the semiconductor device excellent in heat dissipation nature can be manufactured easily.

[Translation done.]

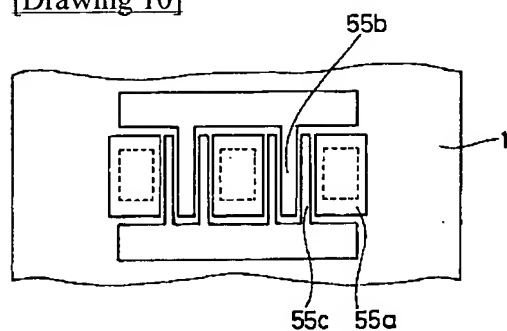
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

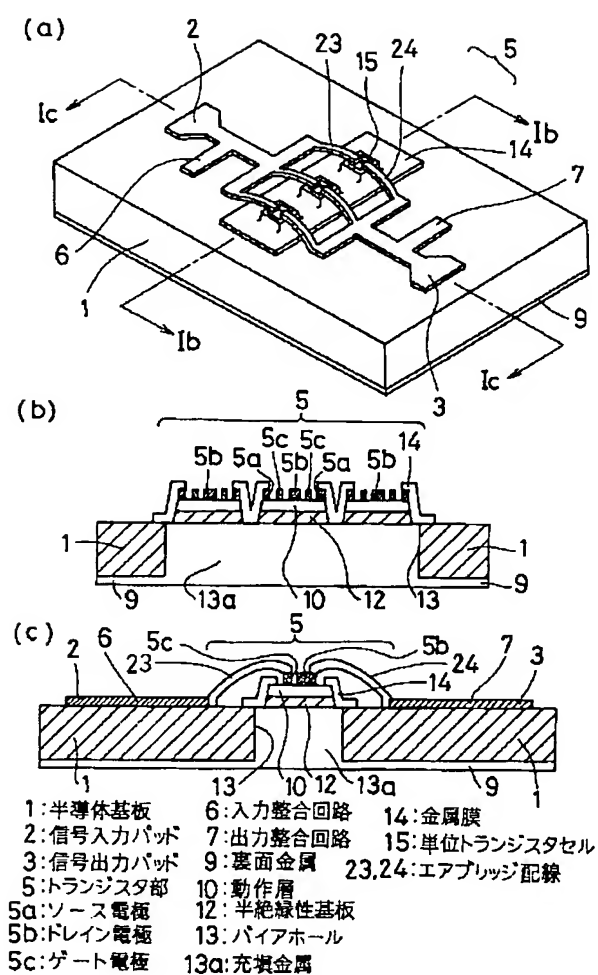
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

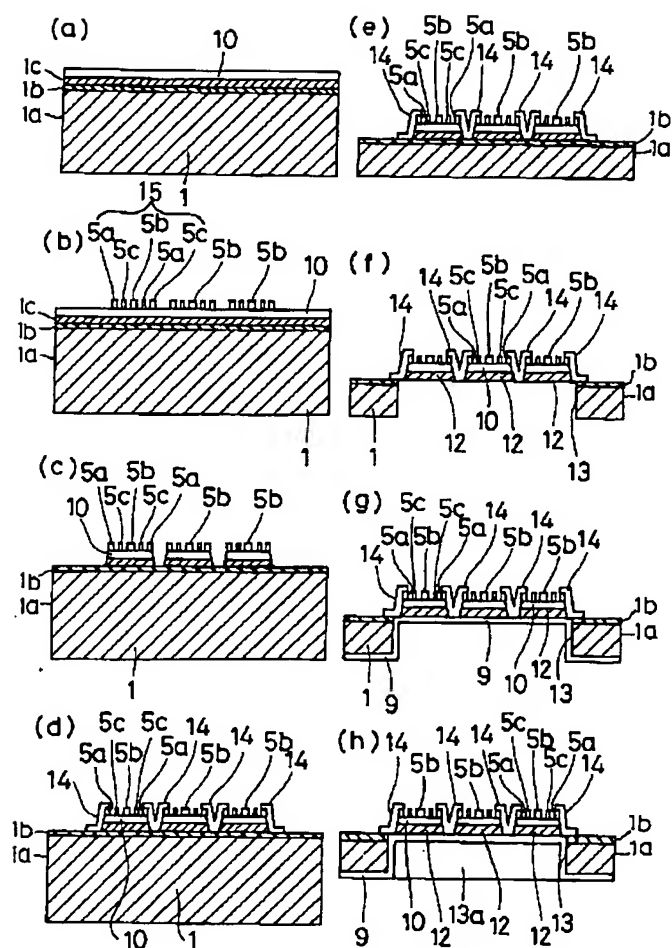
[Drawing 10]



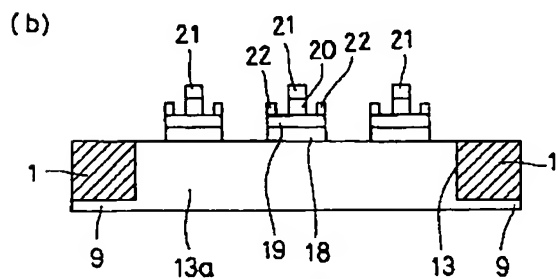
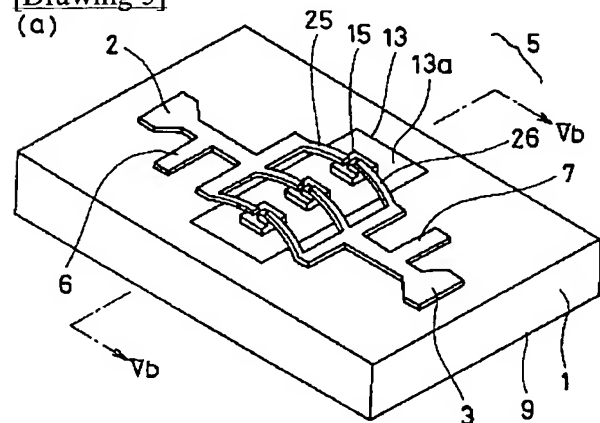
[Drawing 1]



[Drawing 2]

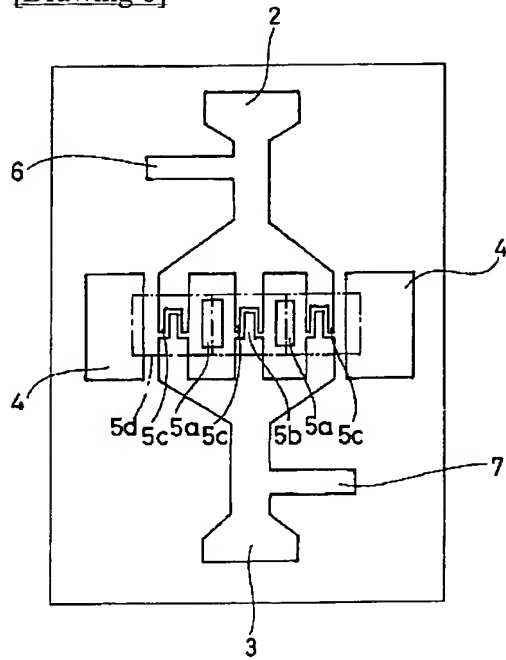


[Drawing 5]

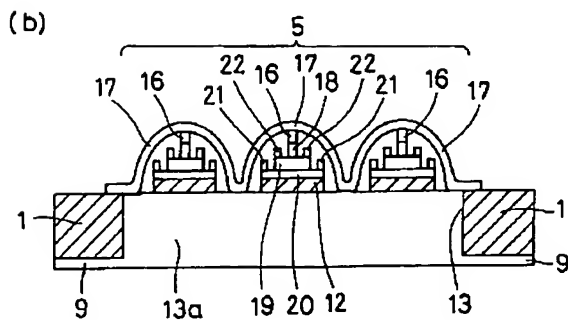
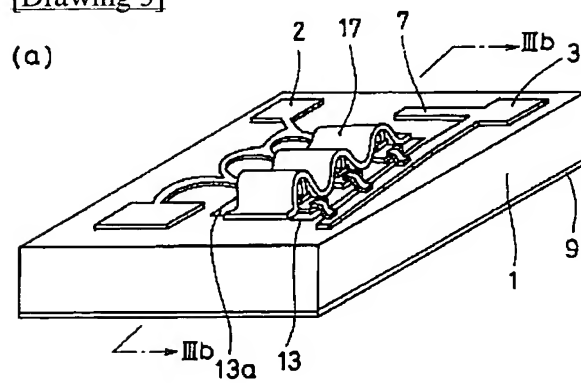


25,26:エアブリッジ配線

[Drawing 8]

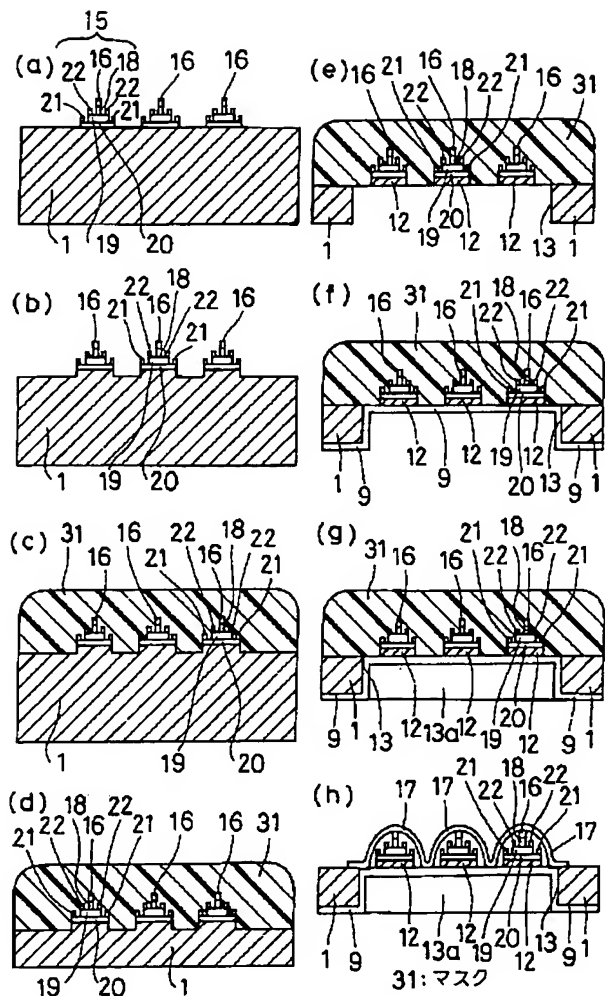


[Drawing 3]

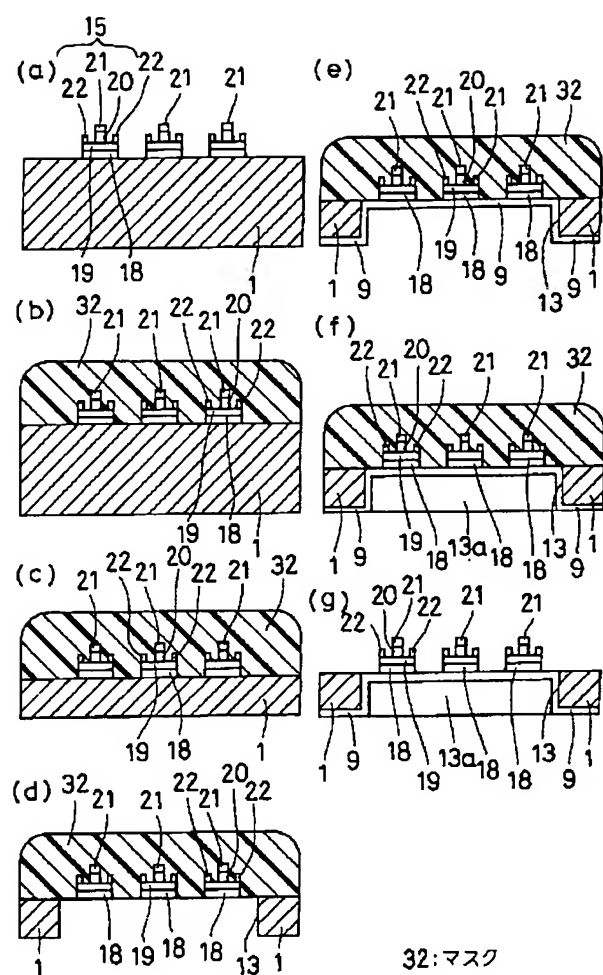


16:エミッタ電極
17:エミッタ配線
18:エミッタ層
19:ベース層
20:コレクタ層
21:コレクタ電極
22:ベース電極

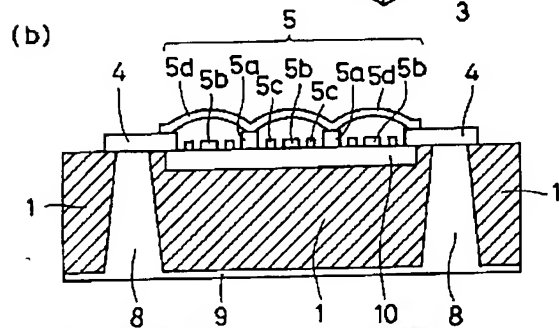
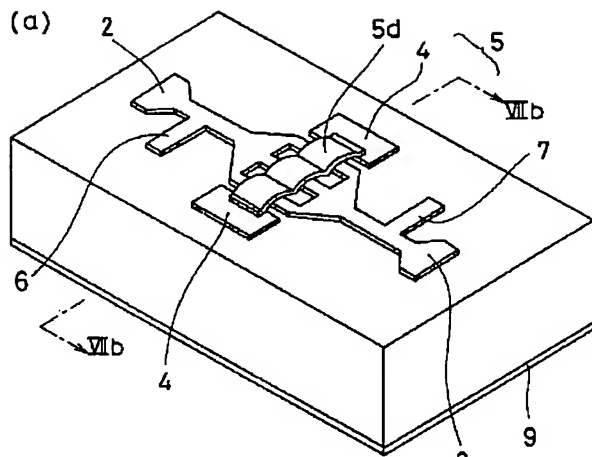
[Drawing 4]



[Drawing 6]

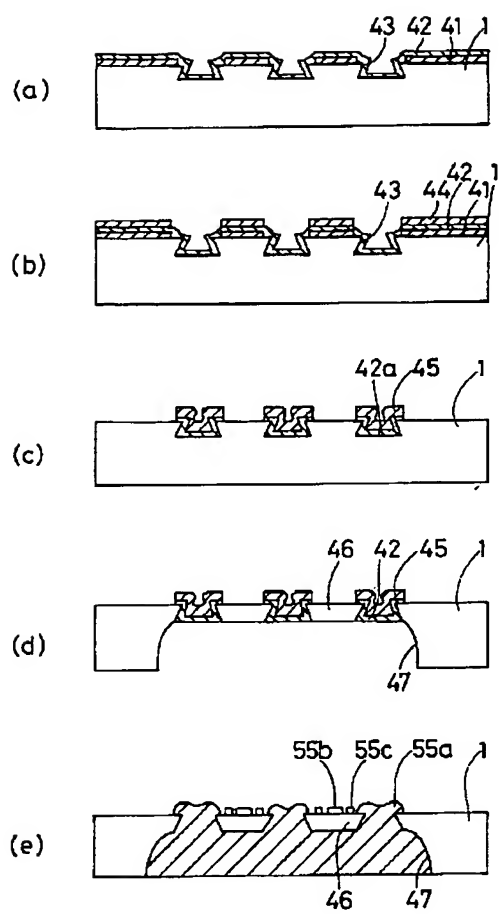


[Drawing 7]



- | | |
|---------------|--------------|
| 1: GaAs 半導体基板 | 5c: ゲート電極 |
| 2: 信号入力パッド | 5d: エアブリッジ配線 |
| 3: 信号出力パッド | 6: 入力整合回路 |
| 4: 金属パターン | 7: 出力整合回路 |
| 5: トランジスタ部 | 8: バイアホール |
| 5a: ソース電極 | 9: 裏面金属 |
| 5b: ドレイン電極 | 10: 動作層 |

[Drawing 9]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-326330

(43) 公開日 平成6年(1994)11月25日

(51) Int.Cl.⁵

H 0 1 L 29/804
29/205
29/44

識別記号

庁内整理番号

F I

技術表示箇所

B 7376-4M
7376-4M

H 0 1 L 29/ 80
29/ 72

V

審査請求 未請求 請求項の数9 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平5-111463

(22) 出願日 平成5年(1993)5月13日

(71) 出願人 000008013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 小丸 真喜雄

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社光・マイクロ波デバイス研究所内

(74) 代理人 弁理士 早瀬 憲一

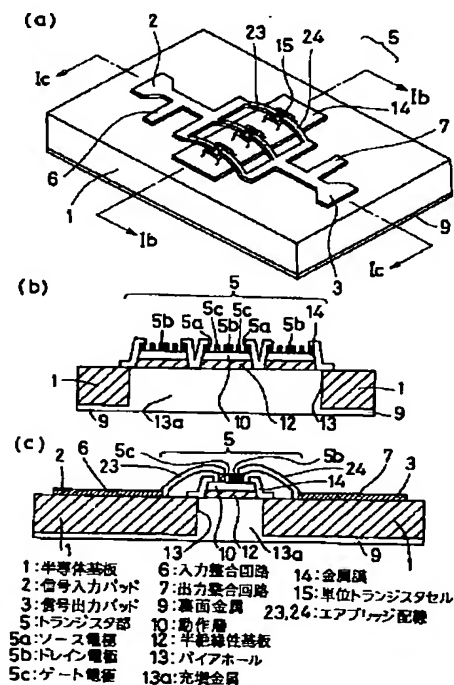
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 高出力の半導体装置において、良好な放熱特性を持つ半導体装置を高い歩留りで製造する。

【構成】 内部を金属13a、あるいは他の低熱抵抗性物質により充填されたパイアホール13の上に、トランジスタセル15を、その製造時に使用した半導体基板1から独立して、島状に搭載した構造を有する。

【効果】 放熱特性を改善する目的でトランジスタセル部の基板厚を30μm以下にしても、基板割れを生じない構造、及びプロセスを実現できる。



【特許請求の範囲】

【請求項1】 高周波数帯で動作するトランジスタを有する半導体集積回路装置において、
半導体基板と、

該基板を貫通して設けられたバイアホールと、
該バイアホール上に設けられた単数または複数のトランジスタセルとを備え、

該単数または複数のトランジスタセルは、該基板主面側の、該バイアホール内を充填している低熱抵抗性の材料上に、周囲の半導体基板から独立して形成されていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、
上記トランジスタセルは、下層より半絶縁性基板、動作層の順に半導体層が積層され、かつ、該動作層上にソース電極、ドレイン電極、ゲート電極を有する電果トランジスタ半導体装置であることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、
上記トランジスタセルは、下層より半絶縁性基板、コレクタ層、ベース層、エミッタ層の順に半導体層が積層され、かつ、該コレクタ層、ベース層、エミッタ層上に各コレクタ電極、ベース電極、エミッタ電極を有するヘテロ接合バイポーラトランジスタ半導体装置であることを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置において、
上記トランジスタセルは、下層よりエミッタ層、ベース層、コレクタ層の順に半導体層が積層され、かつ、該ベース層、コレクタ層上にそれぞれベース電極、コレクタ電極を有するヘテロ接合バイポーラトランジスタ半導体装置であることを特徴とする半導体装置。

【請求項5】 半導体基板上に単数または複数のトランジスタセルを形成する工程と、
該トランジスタセル以外の半導体基板の主面側の表面を、所定の深さまでエッチングする工程と、
上記トランジスタセルと半導体基板との間に、該トランジスタセルを上記半導体基板に固定するための金属膜を形成する工程と、

上記半導体基板の該トランジスタセルの存在する領域下の部分のみを、トランジスタセルを固定する上記金属膜が露出するまで裏側からエッチングしてバイアホールを形成することにより、該単数または複数のトランジスタセル、及びその下の半導体基板を周囲の半導体基板から切り離す工程と、

上記バイアホール内に低熱抵抗性物質を充填する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項6】 請求項5記載の半導体装置の製造方法において、

上記半導体基板上にトランジスタセルを形成する工程の前に上記半導体基板内にエッチングストップ層を形成する工程をさらに含み、

上記トランジスタセル以外の半導体基板の主面側の表面

を所定の深さまでエッチングする工程は、上記トランジスタセル以外の半導体基板の主面側の表面を上記エッチングストップ層の表面までエッチングすることによって行うものであることを特徴とする半導体装置の製造方法。

【請求項7】 半導体基板上にトランジスタセルを形成する工程と、

該トランジスタセル以外の半導体基板の主面側の表面を、所定の深さまでエッチングする工程と、

10 上記半導体基板の主面側の全面に、上記トランジスタセルを覆って該トランジスタセルを仮固定するマスクを形成する工程と、

該半導体基板の上記トランジスタセルの存在する下側の部分のみを、該トランジスタセルを仮固定するマスクが露出するまで裏側からエッチングすることによりバイアホールを形成し、該トランジスタセルを周囲の半導体基板から切り離す工程と、

該バイアホール内に低熱抵抗性物質を充填する工程とを含むことを特徴とする半導体装置の製造方法。

20 【請求項8】 請求項7記載の半導体装置の製造方法において、

半導体基板上に、下層よりコレクタ層、ベース層、エミッタ層の順に半導体層を積層し、かつ、該コレクタ層、ベース層、エミッタ層上に各コレクタ電極、ベース電極、エミッタ電極をそれぞれ形成して、ヘテロ接合バイポーラトランジスタ半導体装置を形成することを特徴とする半導体装置の製造方法。

【請求項9】 請求項7記載の半導体装置の製造方法において、

30 半導体基板上に、下層よりエミッタ層、ベース層、コレクタ層の順に半導体層を積層し、かつ、該ベース層、コレクタ層上に各コレクタ電極、ベース電極をそれぞれ形成して、ヘテロ接合バイポーラトランジスタ半導体装置を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体装置及びその製造方法に関し、特に数百MHz～数百GHz帯の高周波数帯で動作する半導体装置の特性の向上に関するものである。

【0002】

【従来の技術】図7は従来のMMIC (Monolithic Microwave Integrated Circuit, モノリシックマイクロ波集積回路半導体装置)を示す図であり、図7(a)はその斜視図、図7(b)は図7(a)のVII b-VII b断面における断面図である。図8は図7の平面図である。図において、1は半絶縁性のGaAs半導体基板、2は信号入力パッド、3は信号出力パッド、4はバイアホール上に設けられた金属パターン、5はトランジスタ部、5aはソース電極、5bはドレイン電極、5cはゲート電極で

ある。なおここで該ドレイン電極5b、ゲート電極5cは、図8に示すように、くし状にかみあうように形成されている。また、5dは各トランジスタのソース電極5aと金属パターン4とを配線するエアブリッジ配線、6は信号入力パッド2から入力された入力信号を整合する入力整合回路、7は信号出力パッド3から出力する出力信号を整合する出力整合回路である。さらに8は半導体基板1を貫通して設けられ、その内部に金属を充填されたパイアホール、9はAuからなる裏面金属、10はn型GaAs層からなる動作層である。このn型GaAs動作層はエピタキシャル成長又はイオン注入等により形成される。

【0003】信号入力パッド2は入力整合回路6を介してゲート電極5cに、信号出力パッド3は出力整合回路7を介してドレイン電極5bに、ソース電極5aはエアブリッジ配線5d、金属パターン4、及びパイアホール8内部の金属を介して裏面金属9に配線されるものである。

【0004】次に動作について説明する。従来例のMMIC半導体装置において、トランジスタ部5で発生する熱は、その内部に金属が充填されたパイアホール8を介して放熱されるとともに、半導体基板1を介してチップ裏面より放熱されるものである。

【0005】また、例えば特開昭59-172720公報には、基板の素子形成部の裏面に穴部を設け、この穴部に金属が充填されたマイクロ波用FETが開示されている。図9はこの従来技術による基板の貫通孔への金属充填方法を示す図であり、図10はこの金属充填方法を用いて形成されたマイクロ波用FETの平面図である。図において、1は基板、41は下層レジスト層、42は金属層、42aは金属層42の残りの部分、43は穴、44は上層レジスト層、45はメッキ金属層、46はFET、47は貫通孔、55aはソース電極、55bはドレイン電極、55cはゲート電極である。

【0006】この従来例では、半導体基板1表面に形成されたFET間に穴43を形成し、この穴43内に、図9(a)に示すように金属層42を形成し、図9(b)に示すように穴43の形成部およびその上縁部を除いて上層レジスト層44を形成し、図9(c)に示すように、金属層42を電極とする電気メッキによって金属層42の露出部にメッキ金属層45を穴43が埋まる程度の厚さに形成した後に、リフトオフ法で下層レジスト層41、その上の金属層42、および上層レジスト層44を除去し、穴43の部分に金属層42の残りの部分42aをメッキ金属層45と一体化させて残し、図9(d)に示すように、半導体基板1の裏面からエッチングを施して穴43と連なる貫通孔47を形成するようにしたものである。

【0007】次に動作について説明する。この従来例の金属充填方法を用いて形成されたマイクロ波用FETに

おいては、FET46で発生する熱は、貫通孔47に充填された金属を介してチップ裏面より放熱される。

【0008】なお、上記従来例ではその能動素子としてFETが搭載されているが、MMICの搭載されるトランジスタとしては、FETの他に、HBT(Heterojunction Bipolar Transistor、ヘテロ接合バイポーラトランジスタ)、HEMT(High Electron Mobility Transistor、高電子移動度トランジスタ)等がある。

【0009】

10 【発明が解決しようとする課題】従来のMMIC半導体装置は以上のように構成されており、トランジスタ部の半導体基板厚を2μm程度まで薄くして素子の放熱性を良くすることが必要であるため、製造時にMMIC装置を半田付けする際の熱応力などの応力が半導体基板に加えられると、半導体基板にひびや割れが生じ、素子が壊れるといった問題点があった。

【0010】また、特開昭59-172720公報に示されたマイクロ波用FETにおいては、素子裏面に設けられたパイアホールを介してFET部で発生した熱を放熱する構成としているため、放熱性を向上させるために半導体基板厚を薄くする必要はない。しかしながら、本従来例では図10に示すように、素子の形成されている基板とその周囲の基板が一部でつながっているため、このマイクロ波用FETを半田付けする際、熱応力がFET部に加わることにより、素子に悪影響を及ぼすという問題点があった。

【0011】この発明は上記のような問題点を解消するためになされたもので、装置を半田付けする際に生ずる熱応力によって素子が悪影響を受けることのない、良好な放熱性を有する半導体装置を得ることを目的としており、さらにこの装置に適した製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】この発明に係る半導体装置は、半導体基板と、基板を貫通して設けられたパイアホールと、パイアホール上に設けられた単数または複数のトランジスタセルとを備え、この単数または複数のトランジスタセルは、上記基板主面側の、上記パイアホール内を充填している低熱抵抗性の材料上に、周囲の半導体基板から独立して形成されているものである。

【0013】また、この発明に係る半導体装置の製造方法は、半導体基板上に単数または複数のトランジスタセルを形成し、トランジスタセル以外の基板の主面側の表面を所定の深さまでエッチングした後、上記トランジスタセルと半導体基板との間にトランジスタセルを上記半導体基板に固定するための金属膜を形成し、この後、基板のトランジスタセルの存在する領域下の部分のみをトランジスタセルを固定する上記金属膜が露出するまで裏側からエッチングすることによってパイアホールを形成して上記単数または複数のトランジスタセル、及びその

下の半導体基板を周囲の基板から切り離した後、上記バイアホール内に低熱抵抗性物質を充填するようにしたものである。

【0014】また、この発明に係る半導体装置の製造方法は、半導体基板上にトランジスタセルを形成し、トランジスタセル以外の半導体基板の主面側の表面を所定の深さまでエッチングした後、上記半導体基板の主面側の全面にトランジスタセルを覆ってこれを仮固定するマスクを形成し、この後、該半導体基板の上記トランジスタセルの存在する下側の部分のみをトランジスタセルを仮固定するマスクが露出するまで裏側からエッチングすることによってバイアホールを形成して該トランジスタセルを周囲の半導体基板から切り離した後、該バイアホール内に低熱抵抗性物質を充填するようにしたものである。

【0015】

【作用】この発明の半導体装置においては、トランジスタセルは、基板を貫通して設けられ、かつ内部に低熱抵抗性物質を充填したバイアホールの基板主面側に、周囲の半導体基板から独立して形成されているので、放熱性を改善する目的で単位トランジスタセル部の基板厚を30μm以下とした場合にも半導体装置の半田付け作業時等に発生する熱応力によって基板割れ等を生じることがない。

【0016】また、この発明の製造方法においては、トランジスタセルと整合回路基板との間に金属膜を形成し、トランジスタセルを半導体基板に固定したのちこの基板のトランジスタセルの下側の部分のみをこの金属膜が露出するまで裏側からエッチングすることによって、バイアホールを形成してトランジスタセルを周囲の半導体基板から切り離し、この後、バイアホール内に低熱抵抗性物質を充填するようにしたから、トランジスタセルは、金属を充填されたバイアホール上に周囲の半導体基板から独立して形成され、これにより、放熱性に優れ、かつ製造時に半田付けする際の熱応力などの応力が半導体基板に加えられてもトランジスタに悪影響が及ばない半導体装置を、トランジスタセルがばらばらになることなく、容易に作製することができる。

【0017】また、この発明の製造方法においては、トランジスタセルを形成した半導体基板の主面側の全面にトランジスタセルを覆ってこれを仮固定するマスクを形成し、基板の上記トランジスタセルの存在する下側の部分のみを上記仮固定するマスクが露出するまで裏側からエッチングすることによって、バイアホールを形成してトランジスタセルを周囲の半導体基板から切り離し、この後、バイアホール内に低熱抵抗性物質を充填した後、上記仮固定マスクを取り除くようにしたから、トランジスタセルは、金属を充填されたバイアホール上に周囲の半導体基板から独立して形成され、これにより、放熱性に優れ、かつ製造時に半田付けする際の熱応力などの応

力が半導体基板に加えられてもトランジスタに悪影響が及ばない半導体装置を、トランジスタセルがばらばらになることなく、容易に作製することができる。

【0018】

【実施例】以下この発明の一実施例を図について説明する。

実施例1. 図1は能動素子がFETである場合の、本発明の第1の実施例による半導体装置を示す図であり、図1(a)はその斜視図、図1(b)は図1(a)のIb-Ib断面における断面図、図1(c)は図1(a)のIc-Ic断面における断面図、図2はその製造方法を示す断面図である。図において、図7と同一符号は同一または相当部分を示し、12はエッチングによりバイアホール13を形成した際に、半導体基板1から切り離されて厚さが30μm以下になったGaAsからなる半絶縁性基板、13はホール内部が主にAuからなる金属、あるいはグリース等からなる低熱抵抗性物質が充填されているバイアホール、13aはバイアホール13に充填された低熱抵抗性物質、14は半導体基板1から独立して形成されたトランジスタセルの周囲にウェハ表面より形成された、トランジスタセルを半導体基板に固定するAu等からなる金属パターン、15は単位トランジスタセル、23、24はそれぞれゲート配線、及びドレイン配線となるエブリッジ配線である。

【0019】本実施例1における半導体装置は、バイアホール13の内部に充填されたAuなる金属13a上に、能動素子として、下層より半絶縁性基板12、動作層10を順に積層してFETを形成してなるものであり、このFETは周囲の半導体基板1からは独立している。また、動作層10上にはソース電極5aと、ドレイン電極5b、ゲート電極5cが従来例と同様にくし状にかみあう形状に形成されている。また、FETの周囲にはソース配線として金属膜14が形成されている。

【0020】次に本実施例1の半導体装置の製造方法を、図2を用いて、特に能動素子がGaAsFETである場合について説明する。まず、半絶縁性のGaAs半導体基板1a上に、図2(a)に示すように、半絶縁性AlGaAsエッチングストップ層1b、半絶縁性GaAs層1c、及びn型GaAs動作層10を順次エピタキシャル成長して形成する。その次に動作層10上に図2(b)に示すようにソース電極5a、ドレイン電極5b、ゲート電極5cを形成して、トランジスタ部5を形成する。

【0021】次に、図2(c)に示すように、トランジスタセル15以外の半導体基板1の主面側の表面を、GaAsはエッチングするが、AlGaAsはエッチングしないエッチャントを用いたウェットエッチングにて、エッチングストップ層1bの表面の深さまでエッチングする。

【0022】次いで、図2(d)に示すように、トランジ

スタセル15とトランジスタセル15との間、及びトランジスタセル15と半導体基板1との間に、Au等の金属膜14を形成する。金属膜14は後にトランジスタセル15を周囲の半導体基板1に固定するものとなる。なお金属膜14は、半導体基板1の表面の所要部分にパターンを形成し、スパッタ法、蒸着法、あるいは無電解メッキを用いて薄い金属膜を形成した後、電解メッキを用いて厚い金属膜14とするものである。また、この金属膜14はソース電極5aと他のソース電極5a、及びソース電極5aと裏面金属9とを配線するソース配線となるものである。

【0023】そして、図2(e)に示すように半絶縁性の半導体基板1を10~150 μ mの厚さになるまで裏面から研磨して薄くする。

【0024】次に、半導体基板1の裏側から、トランジスタセル15の存在する下側の部分のみを、GaAsはエッチングするが、AlGaAsはエッチングしないエッチャントを用いたウェットエッチングにて、エッチングストップ層1bの裏面までエッチングする。さらにAlGaAsはエッチングするが、GaAsはエッチングしないエッチャントを用いたウェットエッチングにて、エッチングストップ層1bをトランジスタセル15を固定する金属膜14が露出するまでエッチングして、トランジスタセル15を周囲の半導体基板1から切り離し、図2(f)に示すようにバイアホール13を形成する。

【0025】次いで、図2(g)に示すように、バイアホール13の内側全面、及び半導体基板1の裏面全面にAuからなる金属膜9をスパッタ法、あるいは蒸着法により形成する。

【0026】次いで、図2(h)のようにバイアホール13内部にAuからなる金属13aを充填する。なおこの金属13aは他の低熱抵抗性物質であってもよい。

【0027】そして、信号入力パッド2、信号出力パッド3、入力整合回路6、及び出力整合回路7を金属パターンにより形成し、エブリッジ配線23、24を形成して、ベース配線、及びコレクタ配線を行い、図1(a)に示す本実施例1の半導体装置を完成する。

【0028】なお、上記の図2(c)の工程において、トランジスタセル15直下の領域以外の領域においてもエッチングストップ層1bを残すようにしているが、この段階でAlGaAsはエッチングするが、GaAsはエッチングしないエッチャントを用いたウェットエッチングによって、エッチングストップ層1bを除去するようにし、図2(f)の段階において、エッチングストップ層1bの裏面でエッチングを停止させ、トランジスタセル15の裏面にのみエッチングストップ層1bを残すようにしてもよい。

【0029】なお、本実施例1においては、上記の図2(c)および、図2(f)の工程において、エッチングを所望の形状および深さに制御するために、エッチングスト

ップ層1bを形成した半導体基板を用いたが、エッチングストップ層1bを用いることなく、それらのエッチングを時間で制御するようにしてもよい。

【0030】次に動作について説明する。各トランジスタのゲート5cの直下で発生する熱は、動作層10、半絶縁性基板12、及びバイアホール13に充填されたAuなる金属13aを介して基板裏面より放熱される。

【0031】このように、本実施例1の半導体装置では、半導体装置の発熱部であるトランジスタ15の下側の半絶縁性基板12の基板厚を薄く形成することにより、単位トランジスタセル毎に放熱性に優れるとともに、延性の良いAuなる金属13aを内側に充填されたバイアホール13上にトランジスタセル15を形成することにより、FETセルの半導体基板1に加わるストレスが抑制され、放熱性に優れ、かつ接地インダクタンスの小さい半導体装置を得られる効果がある。

【0032】また、このような本実施例1の半導体装置の製造方法では、トランジスタセル15とトランジスタセル15との間、及びトランジスタセル15と半導体基板1との間に金属膜14を形成し、トランジスタセル15を半導体基板1に固定したのちこの基板1のトランジスタセル15の下側の部分のみをこの金属膜14が露出するまで裏側からエッチングすることによって、バイアホール13を形成してトランジスタセル15を周囲の半導体基板1から切り離し、さらにバイアホール13の内側全面、及び上記基板1の裏面全面に金属膜9を形成したのち、バイアホール13内部に金属13aを充填することにより、トランジスタセル15は、延性の良い金属13aを充填されたバイアホール13上に周囲の半導体基板1から独立して形成されるので、製造時に半田付けする際の熱応力などの応力が半導体基板1に加えられてもトランジスタセル15に悪影響が及ばない、放熱性に優れた半導体装置を容易に実現することができる。

【0033】実施例2. 図3は能動素子がHBTである場合の、本発明の第2の実施例による半導体装置を示す図であり、図3(a)はその斜視図、図3(b)は図3(a)のIII b-III b断面における断面図、図4はその製造方法を示す断面図である。図において、図1及び図7と同一符号は同一または相当部分を示し、図において、16はエミッタ電極、17はエミッタ配線、18はエミッタ層、19はベース層、20はコレクタ層、21はコレクタ電極、22はベース電極、31はトランジスタセルを周囲の半導体基板1から切り離す際に該トランジスタセルを仮固定するマスクである。

【0034】本実施例2におけるMMIC半導体装置は、バイアホール13の内部に充填されたAuなる金属13a上に、能動素子として、下層より半絶縁性基板12、コレクタ層20、ベース層19、エミッタ層18の順に積層され、かつ、そのコレクタ層20、ベース層19、エミッタ層18上に、各コレクタ電極21、ベース

電極 22, エミッタ電極 16 を形成してなる HBT を用いたものであり、この HBT 素子は周囲の半導体基板 1 から独立して形成されている。

【0035】次にこの発明の実施例 2 による半導体装置の製造方法を、図 4 を用いて、特に能動素子が HBT である場合について説明する。半導体基板 1 上に HBT からなるトランジスタセル 15, 即ち下層よりコレクタ層 20, ベース層 19, エミッタ層 18 の順に積層され、かつ各コレクタ層 20, ベース層 19, 及びエミッタ層 18 上に、エミッタ電極 16, コレクタ電極 21, 及び

ベース電極 22 を有するトランジスタセル 15 を形成する (図 4 (a))。

【0036】次に、トランジスタセル 15 部以外の半導体基板 1 の主面側の表面を 1~10 μm の深さにエッチングする (図 4 (b))。

【0037】次いで、半導体基板 1 の主面の全面に、トランジスタセル 15 を覆って、これを仮固定するマスク 31 を形成する (図 4 (c))。

【0038】そして、この半導体基板 1 を 10~150 μm の厚さまで裏面から研磨する (図 4 (d))。

【0039】次に、半導体基板 1 のトランジスタセル 15 の存在する下側の部分のみを、トランジスタセル 15 を仮固定するマスク 31 が露出するまで、裏側からエッチングして、トランジスタセル 15 を周囲の半導体基板 1 から切り離し、バイアホール 13 を形成する (図 4 (e))。

【0040】次いで、バイアホール 13 の内側全面、及び半導体基板 1 の裏面の全面に金属膜 9 を形成する (図 4 (f))。

【0041】そして、バイアホール 13 の内部に金属 13a を充填する。ここで、金属 13a は他の低熱抵抗性物質であつてもよい (図 4 (g))。

【0042】次に、上記マスク 31 を取り除いた後、エブリッジ配線 17 を形成してエミッタ配線を行い (図 4 (h))、信号入力パッド 2, 信号出力パッド 3, 入力整合回路 6, 及び出力整合回路 7 を金属パターンにより形成するとともに、ベース配線、及びコレクタ配線を行うことにより、本実施例 2 の半導体装置を完成する (図 3 (a))。

【0043】なお、本実施例 2 においても、上記実施例 1 と同様に、図 4 (b) および、図 4 (e) の工程において、エッチングストップ層を用いて、エッチング形状を制御するようにしてもよい。

【0044】次に動作について説明する。各トランジスタで発生した熱は、半絶縁性基板 12, 及びバイアホール 13 に充填された、Au なる金属 13a を介して基板裏面より放熱される。

【0045】このように本実施例 2 の半導体装置では、半導体装置の発熱部であるトランジスタの下側の半絶縁性基板 12 の基板厚を薄く形成し、かつ内部を Au なる

金属 13a により充填されたバイアホール 13 上にトランジスタセルを形成することにより、単位トランジスタセル毎に放熱性に優れるとともに、HBT セルの半導体基板 1 に加わるストレスが抑制され、放熱性に優れ、かつ接地インダクタンスの小さい半導体装置を得られる効果がある。

【0046】また、このように本実施例 2 の半導体装置の製造方法では、トランジスタセル 15 を形成した半導体基板 1 の主面側の全面にトランジスタセル 15 を覆ってこれを仮固定するマスク 31 を形成し、基板 1 の上記トランジスタセル 15 の存在する下側の部分のみを上記仮固定するマスク 31 が露出するまで裏側からエッチングすることによって、バイアホール 13 を形成してトランジスタセル 15 を周囲の半導体基板 1 から切り離し、さらにバイアホール 13 の内側全面、及び上記基板 1 の裏面全面に金属膜 9 を形成したのち、バイアホール 13 のホール内部に金属 13a を充填し上記マスク 32 を取り除くことにより、トランジスタセル 15 は、延性の良い金属 13a を充填されたバイアホール 13 上に周囲の半導体基板から独立して形成されるので、製造時に半田付けする際の熱応力などの応力が半導体基板 1 に加えられてもトランジスタセル 15 に悪影響が及ばない、放熱性に優れた半導体装置を容易に実現することができる。

【0047】実施例 3. 図 5 は能動素子が HBT である場合の、本発明の第 3 の実施例による半導体装置を示す図であり、図 5 (a) はその斜視図、図 5 (b) は図 5 (a) の Vb-Vb 断面における断面図、図 6 はその製造方法を示す断面図である。図において、図 1 及び図 3 と同一符号は同一または相当部分を示し、図において、25, 26 はそれぞれベース配線、及びコレクタ配線となるエブリッジ配線、32 はトランジスタセル 15 を周囲の半導体基板 1 から切り離す際に該トランジスタセル 15 を仮固定するマスクである。

【0048】本実施例 3 における半導体装置は、能動素子として、バイアホール 13 の内部に充填された Au なる金属 13a 上に、下層よりエミッタ層 18, ベース層 19, コレクタ層 20 が順に積層され、かつベース層 19, コレクタ層 20 上にベース電極 22, コレクタ電極 21 が形成されてなる HBT を用いたものであり、該 HBT は周囲の半導体基板 1 からは独立して形成されている。

【0049】次に、この発明の実施例 3 による半導体装置の製造方法を、図 6 を用いて、特に能動素子が HBT である場合について説明する。まず、半導体基板 1 上に HBT 半導体装置からなるトランジスタセル 15 を、下層よりエミッタ層 18, ベース層 19, コレクタ層 20 を順に積層し、さらにコレクタ層 20 及びベース層 19 上にそれぞれコレクタ電極 21 及びベース電極 22 を形成する (図 6 (a))。

【0050】次に、半導体基板 1 の主面の全面に、上記

トランジスタセル15を覆って、トランジスタセル15を仮固定するマスク32を形成する(図6(b))。

【0051】次いで、半導体基板1を10~150 μ mの厚さまで裏面から研磨する(図6(c))。

【0052】そして、半導体基板1のトランジスタセル15の存在する下側の部分のみを、トランジスタセル15を仮固定するマスク32、及びトランジスタセル15のエミッタ層18が露出するまで裏側からエッチングして、トランジスタセル15を周囲の半導体基板1から切り離すように、バイアホール13を形成する(図6(d))。

【0053】次いで、バイアホール13の内側全面、及び半導体基板1の裏面の全面に金属膜9を形成して、オーミック電極となるエミッタ電極を形成するとともに、エミッタ配線を行う(図6(e))。

【0054】次に、バイアホール13のホール内部に金属13aを充填し(図6(f))、上記マスク32を取り除く(図6(g))。

【0055】そして、信号入力パッド2、信号出力パッド3、入力整合回路6、及び出力整合回路7を金属パターンにより形成するとともに、エアブリッジ配線25、26により、それぞれベース配線、及びコレクタ配線を行い、本実施例3の半導体装置を完成する(図5(a))。

【0056】なお、本実施例3においても、上記実施例1と同様に、図6(d)の工程において、エッチングストップ層を用いて、エッチング形状を制御するようにしてもよい。

【0057】次に動作について説明する。本実施例3では、半導体基板1を裏面からエッチングすることにより、トランジスタセル15を周囲の半導体基板1から切り離しており、これによりトランジスタセル15を金属13aを充填されたバイアホール13上に直接搭載することができ、各トランジスタで発生した熱は、バイアホール13に充填されたAuなる金属13aを介して基板1の裏面より放熱される。

【0058】このように本実施例3の半導体装置では、トランジスタセル15は、周囲の半導体基板1から独立して形成されており、しかも内部を延性の良い金属13aにより充填されたバイアホール13上に直接トランジスタセル15のエミッタ層18が形成されているので、放熱性に優れ、HBTセルの半導体基板1に加わるストレスが抑制される、かつ接地インダクタンスの小さい半導体装置が得られる。

【0059】また、このように本実施例3の半導体装置の製造方法では、トランジスタセル15を形成した半導体基板1の主面側の全面にトランジスタセル15を覆ってこれを仮固定するマスク32を形成し、基板1の上記トランジスタセル15の存在する下側の部分のみを上記仮固定するマスク32が露出するまで裏側からエッチン

グすることによって、バイアホール13を形成してトランジスタセル15を周囲の半導体基板1から切り離し、さらにバイアホール13の内側全面、及び上記基板1の裏面全面に金属膜9を形成したのち、バイアホール13のホール内部に金属13aを充填し上記マスク32を取り除くことにより、トランジスタセル15は、金属13aを充填されたバイアホール13上に周囲の半導体基板から独立して形成されるので、製造時に半田付けする際の熱応力などの応力が半導体基板1に加えられてもトランジスタセル15に悪影響が及ばない、放熱性に優れた半導体装置を容易に実現することができる。

【0060】また、このように本実施例3の半導体装置の製造方法では、エミッタ層18、ベース層19、コレクタ層20と積層する順番を上記実施例2とは逆にして、エミッタ層18とバイアホール13上の金属膜9とをコンタクト、即ちオーミック接合させて、エミッタ電極とエミッタ配線とを同時に形成することにより、エミッタ電極、及びエミッタ配線を省略することができ、半導体装置の製造工程を簡単にすることができる。

【0061】実施例4. 上記実施例1、実施例2、及び実施例3においては、能動素子がFET、HBTである場合の半導体装置について述べたが、能動素子がHEMTであってもよく、この場合に実施例1に示した方法と同様の製造方法で製造することができ、かつ実施例1の半導体装置と同様の効果が得られる。

【0062】

【発明の効果】以上のようにこの発明にかかる半導体装置によれば、トランジスタセルを、基板を貫通して設けられ、かつ内部に低熱抵抗性物質を充填されたバイアホールの基板主面側に、周囲の基板から独立して搭載した構造としたので、放熱性の向上を図ることができるとともに、放熱特性を改善する目的でトランジスタセル部の基板厚を30 μ m以下とした場合にも半田付け作業時等に発生する熱応力によって基板割れ等を生じることのない構造を得ることができる効果がある。

【0063】また、この発明にかかる半導体装置の製造方法によれば、トランジスタセルと半導体基板との間に金属膜を形成してトランジスタセルを半導体基板に固定した後、該基板のトランジスタセルの下側の部分のみをその金属膜が露出するまで裏側からエッチングすることによってバイアホールを形成してトランジスタセルを周囲の基板から切り離し、その後、バイアホール内に低熱抵抗性物質を充填するようにしたので、製造時に半田付けする際の熱応力などの応力が半導体基板に加えられてもトランジスタに悪影響が及ばない、放熱性に優れた半導体装置を容易に製造できる効果がある。

【0064】また、この発明にかかる半導体装置の製造方法によれば、トランジスタセルを形成した半導体基板の主面側の全面にトランジスタセルを覆ってこれを仮固定するマスクを形成した後、該半導体基板の上記トラン

ジスタセルの存在する下側の部分のみを上記仮固定するマスクが露出するまで裏側からエッチングすることによってバイアホールを形成してトランジスタセルを周囲の半導体基板から切り離し、この後、バイアホール内に低熱抵抗性物質を充填した後、上記仮固定マスクを取り除くようにしたので、製造時に半田付けする際の熱応力などの応力が半導体基板に加えられてもトランジスタセルに悪影響が及ばない、放熱性に優れた半導体装置を容易に製造できる効果がある。

【図面の簡単な説明】

【図1】この発明の実施例1による半導体装置を示す図。

【図2】この発明の実施例1による半導体装置の製造方法を示す断面図。

【図3】この発明の実施例2による半導体装置を示す図。

【図4】この発明の実施例2による半導体装置の製造方法を示す断面図。

【図5】この発明の実施例3による半導体装置を示す図。

【図6】この発明の実施例3による半導体装置の製造方法を示す断面図。

【図7】従来のMMIC半導体装置を示す斜視図。

【図8】従来のMMIC半導体装置を示す平面図。

【図9】他の従来の半導体装置の製造方法を示す斜視図。

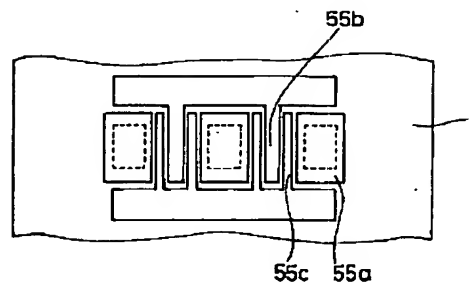
【図10】他の従来の半導体装置を示す平面図。

【符号の説明】

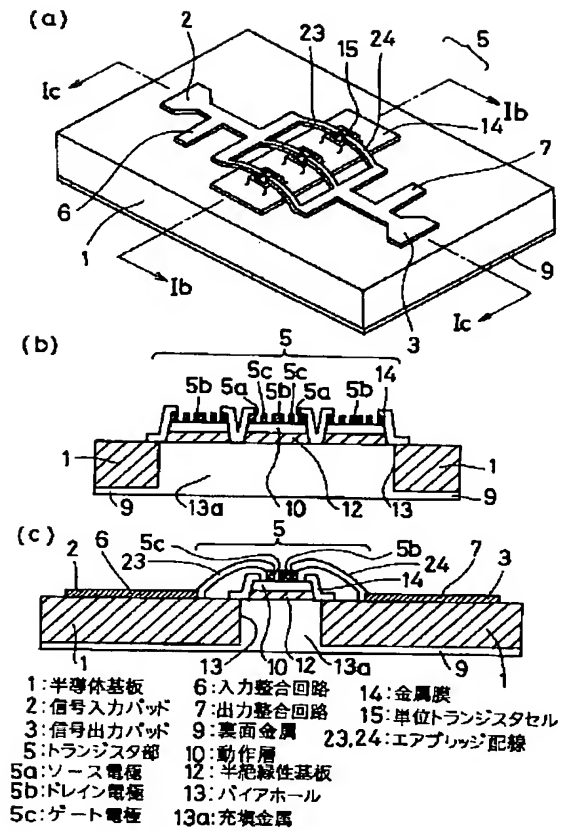
- 1, 1 a, 1 c GaAs半導体基板
- 1 b エッチングストップ層
- 2 信号入力パッド
- 3 信号出力パッド
- 4 金属パターン
- 5 トランジスタ部

- 5 a ソース電極
- 5 b ドレイン電極
- 5 c ゲート電極
- 5 d エアブリッジ配線
- 6 入力整合回路
- 7 出力整合回路
- 8 バイアホール
- 9 裏面金属
- 10 動作層
- 10 12 半絶縁性基板
- 13 バイアホール
- 13 a 充填金属
- 14 金属膜
- 15 トランジスタセル
- 16 エミッタ電極
- 17 エミッタ配線
- 18 エミッタ層
- 19 ベース層
- 20 コレクタ層
- 20 21 コレクタ電極
- 22 ベース電極
- 23, 24, 25, 26 エアブリッジ配線
- 31, 32 マスク
- 41 下層レジスト層
- 42 金属層
- 42 a 金属層の残りの部分
- 43 穴
- 44 上層レジスト層
- 45 メッキ金属層
- 30 46 FET
- 47 貫通孔
- 55 a ソース電極
- 55 b ドレイン電極
- 55 c ゲート電極

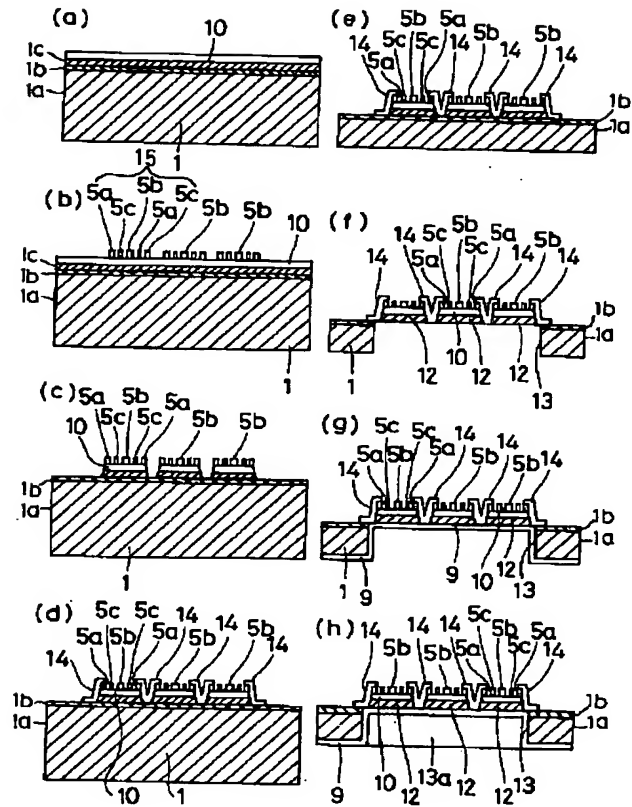
【図10】



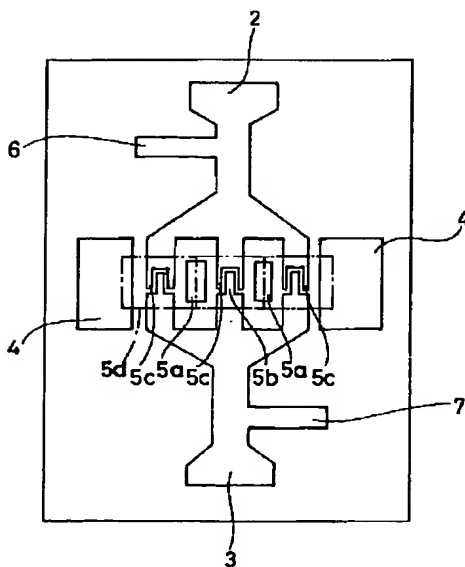
【図1】



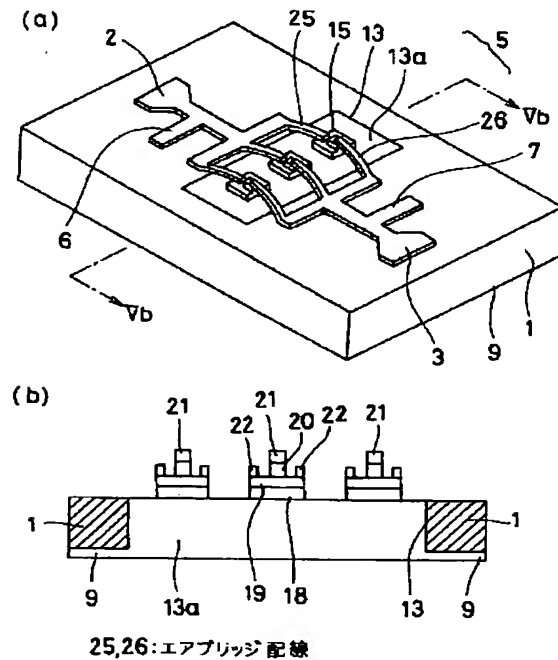
【図2】



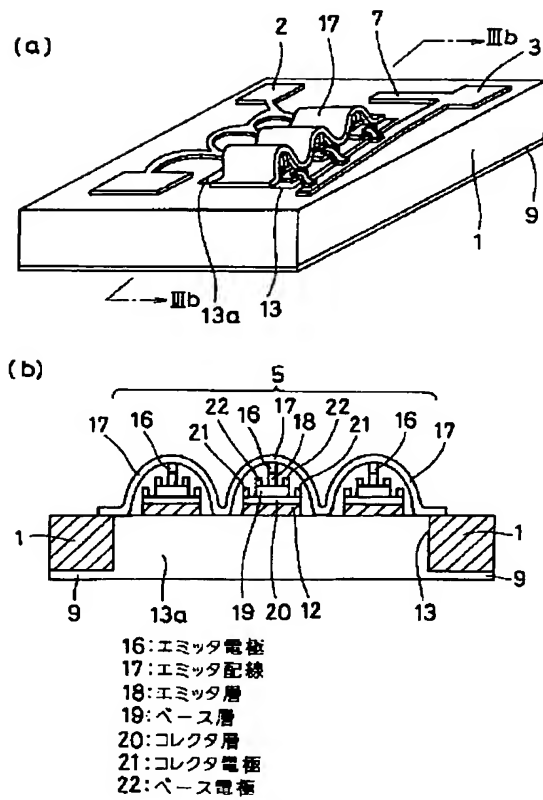
【図8】



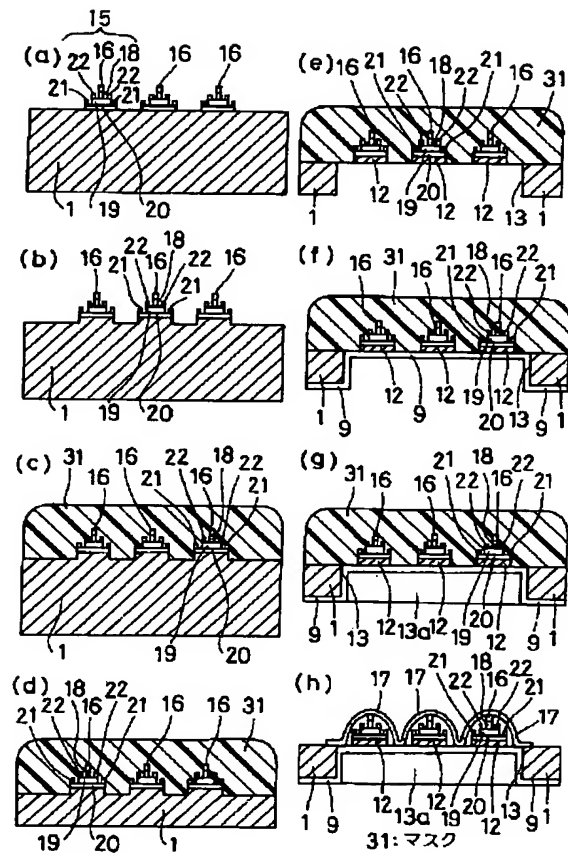
【図5】



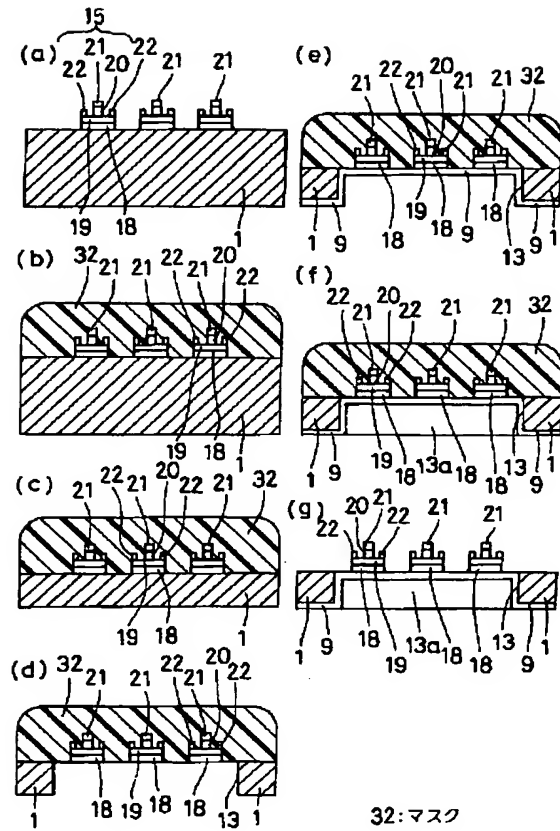
【図3】



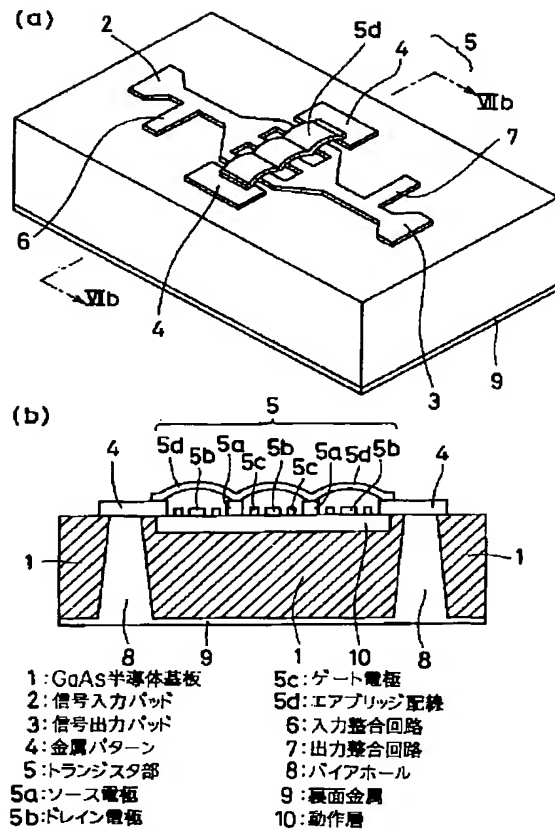
【図4】



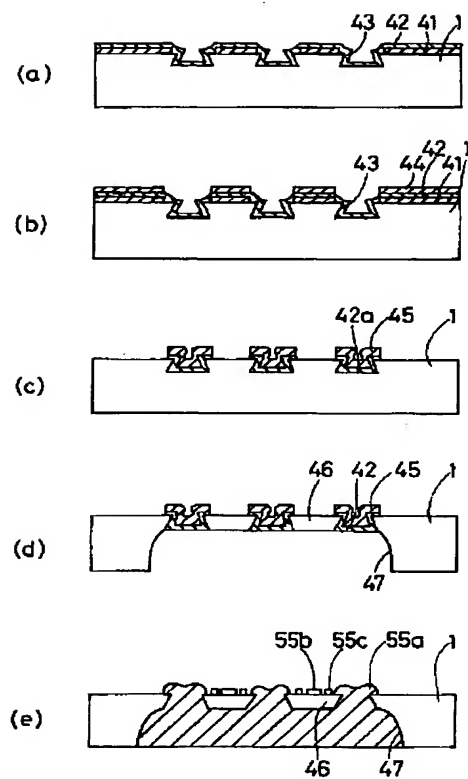
【図6】



【図7】



【図9】



フロントページの続き

(51) Int. Cl.⁵

H O I L 21/331
 29/73
 21/338
 29/812
 27/095

識別記号

庁内整理番号

F I

技術表示箇所

7376-4M
 7376-4M

H O I L 29/80

L
 E

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-326330

(43)Date of publication of application : 25.11.1994

(51)Int.Cl.

H01L 29/804

H01L 29/205

H01L 29/44

H01L 21/331

H01L 29/73

H01L 21/338

H01L 29/812

H01L 27/095

(21)Application number : 05-111463

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 13.05.1993

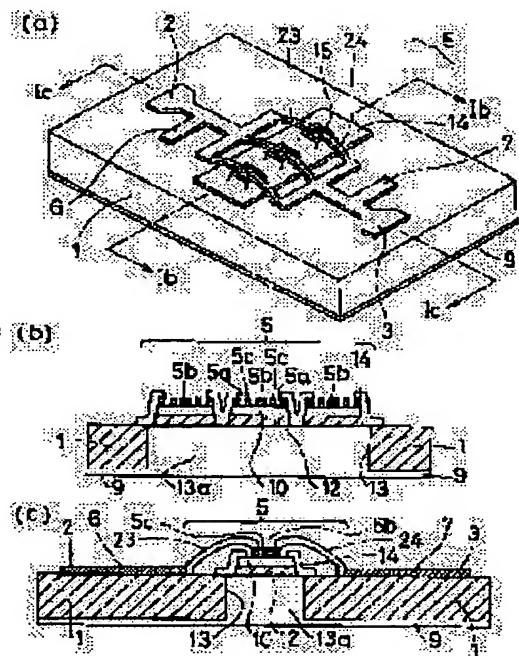
(72)Inventor : KOMARU MAKIO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To manufacture a high-output semiconductor device having excellent heat radiating characteristics at a high yield.

CONSTITUTION: The semiconductor device has such a structure that a transistor cell 15 is mounted on a via hole 13 filled with a metal 13a or another low-thermal-resistance substance independently from a semiconductor substrate 1 used at the time of manufacturing the semiconductor device in an island-like state. Therefore, such a structure and process which do not allow the cracking of substrates can be realized even when the substrate thickness in the transistor cell section is reduced to ≤ 30 μ m with the purpose of improving the heat radiating characteristics of the semiconductor device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office